



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **09008989 A**(43) Date of publication of application: **10.01.97**

(51) Int. Cl. **H04N 1/00**
B41J 29/38
H04N 1/32

(21) Application number: **07176671**(71) Applicant: **BROTHER IND LTD**(22) Date of filing: **19.06.95**(72) Inventor: **KAWAURA KIMIYOSHI**

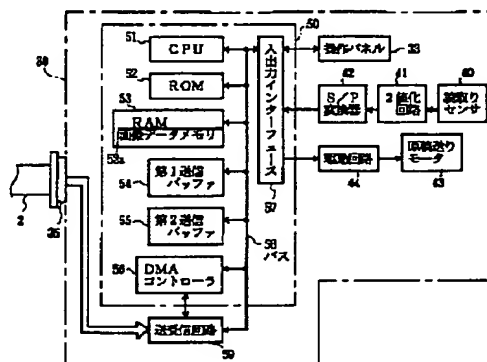
(54) **PARALLEL DATA TRANSFER SYSTEM AND
ELECTRONIC DEVICE**

(57) Abstract:

PURPOSE: To increase the data transfer speed of data to a host computer by repeating write/read of parallel data to/from 1st and 2nd transmission buffers in pairs provided to an image scanner alternately and consecutively.

CONSTITUTION: At first a write time to write image data by 8 bytes to a 1st transmission buffer 54 is required and each period from a timing T1 to a timing T2 and from the timing T2 to a timing T3 is an image data transmission time by 8 bytes, the read processing from the 1st transmission buffer 54 and a 2nd transmission buffer 55 is executed consecutively and alternately and no write processing time is included, then the data transmission speed is increased in response to the read processing time.

COPYRIGHT: (C)1997,JPO



(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-8989

(43)公開日 平成9年(1997)1月10日

(51)Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 N 1/00	1 0 7		H 0 4 N 1/00	1 0 7 A
B 4 1 J 29/38			B 4 1 J 29/38	Z
H 0 4 N 1/32			H 0 4 N 1/32	

審査請求 未請求 請求項の数 4 F D (全 12 頁)

(21)出願番号 特願平7-176671

(22)出願日 平成7年(1995)6月19日

(71)出願人 000005267

ブラザー工業株式会社

愛知県名古屋市瑞穂区苗代町15番1号

(72)発明者 川浦 公義

名古屋市瑞穂区苗代町15番1号 ブラザー
工業株式会社内

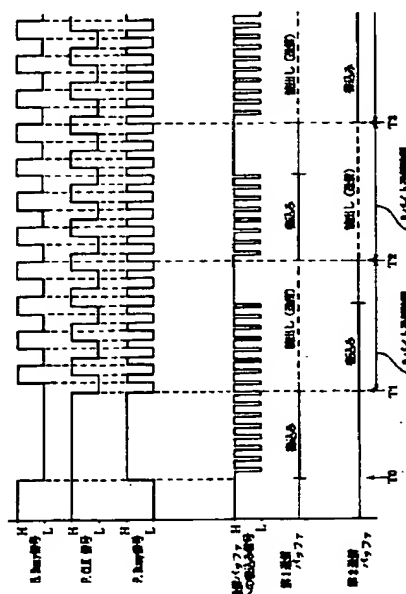
(74)代理人 弁理士 岡村 俊雄

(54)【発明の名称】 パラレルデータ転送システム及び電子機器

(57)【要約】

【目的】 イメージスキャナに設けた1対の第1及び第2送信バッファに対するパラレルデータの書込みと読出しとを交互に連続して行うことで、ホストコンピュータへのデータ転送速度を高速化する。

【構成】 最初に、第1送信バッファ54に8バイト分の画像データを書込む書込み時間を要するが、その後においては、タイミングT1からタイミングT2まで、またタイミングT2からタイミングT3までの各期間は、8バイト分の画像データ送信時間であり、これら第1送信バッファ54と第2送信バッファ55からの読出し処理が連続して交互に実行されることになり、書込み処理時間が含まれないことから、データ送信速度を、読出し処理時間に応じて高速化することができる。



【特許請求の範囲】

【請求項1】 送信指令信号を送信し、この信号に
して送信されてくるパラレルのデータを受信可能なホ
ストコンピュータと、このホストコンピュータに接続さ
れ、データメモリに格納されたパラレルの転送対象のデ
ータを送信指令信号に
して所定量ずつホストコン
ピュータに送信する電子機器とを備えたパラレルデータ転
送システムにおいて、

前記電子機器は、

前記データメモリから読出されたデータを交互に受ける
第1送信バッファ及び第2送信バッファと、

前記データメモリのデータを所定量ずつ読出して、第1
送信バッファからの読出し中に第2送信バッファに書込
み、第2送信バッファからの読出し中に第1送信バッ
ファに書込む書込み手段と、

前記送信指令信号に
して、第1送信バッファと第2
送信バッファから交互にデータを読出して、ホストコン
ピュータに送信する読出し送信手段と、
を備えたことを特徴とするパラレルデータ転送システ
ム。

【請求項2】 前記電子機器は、原稿の画像を読取るイ
メージスキャナであり、前記送信指令信号として、ホス
トコンピュータから送信されるホストビジー信号の立
下がり及び立上がりのタイミングを使用することを特徴
とする請求項1に記載のパラレルデータ転送システム。

【請求項3】 前記第1送信バッファと第2送信バッ
ファは、少なくとも1バイト以上の等容量の1対のバッ
ファからなることを特徴とする請求項1又は請求項2に記
載のパラレルデータ転送システム。

【請求項4】 送信指令信号を送信し、その信号に
して送信されるパラレルデータを受信可能なホストコン
ピュータに接続された電子機器において、
ホストコンピュータへ送信する為のデータを記憶するデ
ータメモリと、

そのデータメモリから読出されたデータが交互に書込ま
れ、ホストコンピュータからの送信指令信号に
してデータが交互に読出される第1送信バッファ及び第2送
信バッファと、

前記データメモリのデータを所定量ずつ読出して、第1
送信バッファからの読出し中に第2送信バッファに書込
み、第2送信バッファからの読出し中に第1送信バッ
ファに書込む書込み手段と、

前記送信指令信号に
して、第1送信バッファと第2
送信バッファから交互にデータを読出して、ホストコン
ピュータに送信する読出し送信手段と、
を備えたことを特徴とする電子機器。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、ホストコンピュータ
と、このホストコンピュータに接続用コードで接続され

た電子機器とを備えたパラレルデータ転送システム及び
電子機器に関し、特にホストコンピュータから送信され
る送信指令信号に
して、電子機器からホストコン
ピュータに送信するデータの転送速度を高速化するよう
にしたものに関する。

【0002】

【従来の技術】 従来、電子機器としてのイメージスキャ
ナは、原稿に描かれた画像情報を読取り機構により光学
的に読み込んで画像データを作成し、パーソナルコンピ
ュータなどのホストコンピュータにパラレルの画像デー
タを送信するものであり、通常、ホストコンピュータに
接続用コードを介して送信し得るように、セントロニク
ス用コネクタとセントロニクス通信用ポートとを備えて
いる。一方、ホストコンピュータは、接続用コードを介
してイメージスキャナから送信されたパラレルの画像デ
ータを受信し得るように、セントロニクス用コネクタと
セントロニクス通信用ポートとを備えており、更に作成
した画像データや、イメージスキャナから送信された画
像データを、例えば、レーザプリンタなどに送信可能に
構成されている。

【0003】 最近、アメリカ電気電子学会の通信技術で
ある、IEEE1284のパラレルインターフェースを
用いたセントロニクス通信方式が実用化されている。即
ち、例えば、ホストコンピュータとイメージスキャナと
を接続用コードで接続したデータ転送システムにおい
て、イメージスキャナで読取った原稿の画像データを、
そのIEEE1284のパラレルインターフェースを用
いて、1バイト毎にホストコンピュータに送信する場
合、図9に示すように、タイミングT10のときに、ホス
トコンピュータからのホストビジー信号H.Busyが立下
がると、イメージスキャナは、そのホストビジー信号
H.Busyの立下がり
に
して、予め読取った1ライン分
の画像データのうちの1バイト分の画像データ（「H」
レベルの第0ビットのデータD0のみを図示）を画像デ
ータメモリから読出して、1バイト分のバッファ容量を
有する送信バッファに一旦書込むと同時に読出してデー
タセットし、タイミングT11において送信回路に出力す
ると同時に、プリンタクロック信号P.CLKを立下げる。

【0004】 そして、ホストコンピュータは、そのプリ
ンタクロック信号P.CLKの立下がり
に
して、イメ
ージスキャナから送信されてくるパラレルの1バイトの画
像データを読込むと同時にデータ処理し、データ処理が
完了したタイミングT12において、次の1バイトのパラ
レルデータの転送を指令する為
に、ホストビジー信号
H.Busyを立下げる。このように、ホストコンピュータ
は、所謂ハンドシェイク方式により、以下同様にして送
信されてくる1バイト毎の画像データを正確に読込むこ
とができる。

【0005】

【発明が解決しようとする課題】 前述したように、ホス

トコンピュータとイメージスキャナとを接続用コードで接続したデータ転送システムにおいて、所謂ハンドシェイク方式であるIEEE1284のセントロニクス通信方式を用いて画像データを送信する場合、図9に示すように、イメージスキャナ側においては、ホストビジイー信号H.Busyの立下がりのタイミングT10から、データセットが完了してプリンタクロック信号P.CLKを立上げるタイミングT11までに、画像データメモリから読出した1バイト分の画像データを送信バッファに書込む書込み処理時間（例えば、約10 μ s）と、その書込んだデータを読み出してデータセットする読出し処理時間（例えば、約20 μ s）とを加算したデータセットの為の処理時間t10（例えば、約30 μ s）を要する。即ち、1バイト分の画像データを送信する毎に、約30 μ sを要することから、数メガバイト（MB）のデータ量を有するグレースケールデータやカラーデータを送信する場合、送信データの信頼性は高くなるが、多大の送信時間を要するという問題がある。

【0006】本発明の目的は、電子機器に設けた1対の第1及び第2送信バッファに対するパラレルデータの書込みと読出しとを交互に連続して行うことで、ホストコンピュータへのデータ転送速度を高速化し得るようにしたパラレルデータ転送システム及び電子機器を提供することである。

【0007】

【課題を解決するための手段】請求項1に係るパラレルデータ転送システムは、送信指令信号を送信し、この信号に回答して送信されてくるパラレルのデータを受信可能なホストコンピュータと、このホストコンピュータに接続され、データメモリに格納されたパラレルの転送対象のデータを送信指令信号に回答して所定量ずつホストコンピュータに送信する電子機器とを備えたパラレルデータ転送システムにおいて、電子機器は、データメモリから読出されたデータを交互に受ける第1送信バッファ及び第2送信バッファと、データメモリのデータを所定量ずつ読出して、第1送信バッファからの読出し中に第2送信バッファに書込み、第2送信バッファからの読出し中に第1送信バッファに書込む書込み手段と、送信指令信号に回答して、第1送信バッファと第2送信バッファから交互にデータを読み出して、ホストコンピュータに送信する読出し送信手段とを備えたものである。

【0008】請求項2に係るパラレルデータ転送システムは、請求項1の発明において、前記電子機器は、原稿の画像を読み取るイメージスキャナであり、送信指令信号としては、ホストコンピュータから送信されるホストビジイー信号の立下がり及び立上がりのタイミングを使用する。請求項3に係るパラレルデータ転送システムは、請求項1又は請求項2の発明において、前記第1送信バッファと第2送信バッファは、少なくとも1バイト以上の等容量の1対のバッファからなるものである。

【0009】請求項4に係る電子機器は、送信指令信号を送信し、その信号に回答して送信されるパラレルデータを受信可能なホストコンピュータに接続された電子機器において、ホストコンピュータへ送信する為のデータを記憶するデータメモリと、そのデータメモリから読出されたデータが交互に書込まれ、ホストコンピュータからの送信指令信号に回答してデータが交互に読出される第1送信バッファ及び第2送信バッファと、データメモリのデータを所定量ずつ読出して、第1送信バッファからの読出し中に第2送信バッファに書込み、第2送信バッファからの読出し中に第1送信バッファに書込む書込み手段と、送信指令信号に回答して、第1送信バッファと第2送信バッファから交互にデータを読み出して、ホストコンピュータに送信する読出し送信手段とを備えたものである。

【0010】

【作用】請求項1に係るパラレルデータ転送システムにおいては、電子機器には、データメモリから読出されたデータを交互に受ける第1送信バッファ及び第2送信バッファが設けられ、書込み手段は、データメモリのデータを所定量ずつ読出して、第1送信バッファからの読出し中に第2送信バッファに書込み、第2送信バッファからの読出し中に第1送信バッファに書込む。更に、読出し送信手段は、送信指令信号に回答して、第1送信バッファと第2送信バッファから交互にデータを読み出して、ホストコンピュータに送信する。

【0011】即ち、最初、第1送信バッファ又は第2送信バッファの何れかにデータを書込む書込み時間を要するが、その後においては、その書込まれたデータを第1送信バッファと第2送信バッファとの何れか一方からの読出し中に、他方の第2送信バッファと第1送信バッファとの何れか一方にデータの書込みを実行することから、読出しが完了した第1送信バッファ又は第2送信バッファへのデータの書込み処理と、書込みが完了した他方の第2送信バッファ又は第1送信バッファからのデータ読出し処理とが同時に実行されることになる。従ってその読出し処理を、例えばDMAコントローラなどを用いることにより、ハード的に処理可能となるので、制御プログラムを必要とせず、データ転送速度を高速化することができる。

【0012】請求項2に係るパラレルデータ転送システムにおいては、請求項1と同様の作用を奏するが、前記電子機器は、原稿の画像を読み取るイメージスキャナであり、前記送信指令信号として、ホストコンピュータから送信されるホストビジイー信号の立下がり及び立上がりのタイミングを使用するので、通常のセントロニクス通信方式により原稿の画像データをパラレルデータで送信する場合に、ホストビジイー信号の立下がりだけでなく、立上がりのタイミングにおいてもホストコンピュータにデータ送信でき、イメージスキャナによる原稿の画

像読取り処理や画像データ転送速度をより高速化することができる。

【0013】請求項3に係るパラレルデータ転送システムにおいては、請求項1又は請求項2と同様の作用を奏するが、前記第1送信バッファと第2送信バッファは、少なくとも1バイト以上の等容量の1対のバッファから構成されるので、これら第1送信バッファと第2送信バッファに対する1バイトデータの書込み処理時間と、読出し処理時間とが略等しいときには、第1送信バッファと第2送信バッファとに対する書込み処理と読出し処理とを交互に夫々連続して略同様の処理時間で行うことができ、データ送信速度を、書込み処理時間（読出し処理時間）に応じて高速化することができる。

【0014】また、1バイトデータの書込み処理よりも読出し処理が遅い場合には、これら第1送信バッファと第2送信バッファからの読出し処理が連続して交互に実行されることになり、データ送信速度を、読出し処理時間に応じて高速化することができる。一方、1バイトデータの読出し処理よりも書込み処理が遅い場合には、これら第1送信バッファと第2送信バッファへの書込み処理が連続して交互に実行されることになり、データ送信速度を、書込み処理時間に応じて高速化することができる。

【0015】請求項4に係る電子機器においては、ホストコンピュータに送信する為のデータはデータメモリに記憶され、データメモリから読出されたデータが交互に書込まれ、その書込まれたデータが交互に読出される第1送信バッファ及び第2送信バッファが設けられ、書込み手段は、データメモリのデータを所定量ずつ読出して、第1送信バッファからの読出し中に第2送信バッファに書込み、第2送信バッファからの読出し中に第1送信バッファに書込む。更に、読出し送信手段は、送信指令信号に応答して、第1送信バッファと第2送信バッファから交互にデータを読出して、ホストコンピュータに送信する。

【0016】即ち、最初、第1送信バッファ又は第2送信バッファの何れかにデータを書込む書込み時間を要するが、その後においては、その書込まれたデータを第1送信バッファと第2送信バッファとの何れか一方からの読出し中に、他方の第2送信バッファと第1送信バッファとの何れか一方にデータの書込みを実行することから、読出しが完了した第1送信バッファ又は第2送信バッファへのデータの書込み処理と、書込みが完了した他方の第2送信バッファ又は第1送信バッファからのデータ読出し処理とが同時に実行されることになる。従ってその読出し処理を、例えばDMAコントローラなどを用いることにより、ハード的に処理可能となるので、制御プログラムを必要とせず、データ転送速度を高速化することができる。

【0017】

【実施例】以下、本発明の実施例について、図面に基いて説明する。本実施例は、図1に示すように、ホストコンピュータ10と、原稿の画像を読取る電子機器としてのイメージスキャナ30とを接続用コード2で接続した画像データ転送システム1に本発明を適用した場合のものである。

【0018】先ず、ホストコンピュータ10の制御系は、基本的には図3のブロック図に示すように構成されている。制御装置17の入出力インターフェース22には、CRT方式のディスプレイ（CRTD）12に文字や記号のデータを出力するCRTコントローラ（CRTC）13と、フロッピーディスクドライブ装置（FDD）14を駆動制御する為のフロッピーディスクコントローラ（FDC）15と、キーボード16などが接続されている。

【0019】制御装置17は、基本的にCPU18と、このCPU18に8bitのデータバスなどの制御バス23を介して接続された入出力インターフェース22と、各種のデータ処理制御や、IEEE1284の通信用インターフェースに基づいて画像データをパラレル転送方式で送受信処理する制御プログラムなどが格納されたROM19と、データ処理に必要な各種のメモリを設けたRAM20と、データ転送をCPU18の介在なしに高速に行う為のDMA（ダイレクト・メモリ・アクセス）コントローラ21とから構成されている。また、その制御バス23には、イメージスキャナ30との相互間において、IEEE1284の通信用インターフェースに基づいて画像データをパラレル転送方式で送受信可能なセントロニクス通信用ポートを有する送受信回路24が接続されている。そして、この送受信回路24には、セントロニクス用コネクタ11が接続され、このコネクタ11には、接続用コード2を介してイメージスキャナ30が接続されている。

【0020】一方、イメージスキャナ30は、図2に示すように、複数枚の原稿を積載して載置可能な原稿台32が設けられ、本体フレーム31の内部には、その原稿台32に積載された複数枚の原稿のうち、下側の原稿から1枚ずつ取り出して、所定の搬送経路を経て排紙する為の原稿搬送機構（図示略）が設けられ、その搬送経路の途中部には、原稿の画像を読取る為、多数のCCD（電荷結合素子）を列設した読取りセンサ40（図4参照）が設けられている。更に、本体フレーム31には、電源スイッチ34が設けられ、本体フレーム31の上には、操作パネル33が設けられ、その操作パネル33には、複写指令スイッチやなどの操作スイッチが設けられている。

【0021】次に、イメージスキャナ30の制御系は、図4のブロック図に示すように構成されている。制御装置50の入出力インターフェース55には、操作パネル33の各スイッチと、読取りセンサ40から出力され、

2値化回路41で2値化（デジタルデータ）されたシリアル画像データをパラレル画像データに変換するS/P変換器42、原稿搬送機構を駆動する原稿送りモータ43の為に駆動回路44、その他には図示しないが、原稿を読取る為の光源、カバーオープン検出用スイッチなどが接続されている。

【0022】制御装置50は、基本的に、CPU51と、このCPU51にデータバスなどの制御バス58を介して接続された入出力インターフェース57と、ROM52及びRAM53と、その画像データメモリ53aから読出された画像データを交互に受けて、8バイト分の等容量の画像データを記憶する1対の第1送信バッファ54及び第2送信バッファ55と、データ転送をCPU51の介在なしに高速に行う為のDMAコントローラ56とから構成されている。ここで、これら第1、第2送信バッファ54、55は、夫々8バイトの等容量を有するFIFOメモリ（先入れ先出しメモリ）で構成されている。

【0023】ここで、DMAコントローラ56には、第1送信バッファ54及び第2送信バッファ55を交互に切り替えて画像データを読出す為の読出しバッファポインタ、ホストビジー信号H.Busyの立下がり及び立上がりのタイミング毎に、インクリメントされる読出しアドレスポインタなどの各種レジスタが設けられるとともに、コントローラ制御部が設けられている。また、その制御バス58には、ホストコンピュータ10との相互間において、IEEE1284の通信用インターフェースに基づいて画像データをパラレル転送方式で送受信可能なセントロニクス通信用ポートを有する送受信回路59が接続されている。そして、この送受信回路59には、セントロニクス用コネクタ35が接続され、このコネクタ35には、接続用コード2を介してホストコンピュータ10が接続されている。

【0024】前記ROM52には、原稿搬送機構を駆動する駆動制御プログラムや、IEEE1284の通信用インターフェースに基づいて、画像データをパラレル転送方式で送信する、本願特有の後述の画像データ送信制御の制御プログラムなどが格納されている。前記RAM53には、読取りセンサ40で読取られた1ライン分の画像データを記憶する画像データメモリ53aなど、画像データの読取りに必要な各種のメモリが設けられている。

【0025】ここで、前述したIEEE1284の通信用インターフェースに基づいて、パラレルの1バイト毎の画像データを接続用コード2を介して、イメージスキャナ30からホストコンピュータ10に送信するときに用いられる制御信号について簡単に説明する。ホストコンピュータ10からイメージスキャナ30へ出力される制御信号として、アクティブ信号ACT、ホストクロック信号H.CLK、ホストビジー信号H.Busyなどが用いら

れ、アクティブ信号ACTは、IEEE1284の通信用インターフェースを作動させ且つデータバスによるデータの転送方向を設定し、ホストクロック信号H.CLKは、コマンドデータ転送のタイミングを指示し、またホストビジー信号H.Busyは、データ転送のタイミングを指示するものである。

【0026】一方、イメージスキャナ30からホストコンピュータ10へ出力される制御信号として、プリンタクロック信号P.CLK、プリンタビジー信号P.Busy、データアベイル信号DAV、セレクト（Xフラグ）信号XFLGなどが用いられ、プリンタクロック信号P.CLKは、データ転送のタイミングを指示し、プリンタビジー信号P.Busyは、イメージスキャナ30のビジー状態を指示し、データアベイル信号DAVは、転送データが存在することを指示するものである。

【0027】次に、イメージスキャナ30の制御装置50で行われる画像データ送信制御のルーチンについて、図5～図6のフローチャートに基づいて説明する。尚、図中符号Si（i=10、11、12・・・）は各ステップである。イメージスキャナ30に電源が投入されると、各種の初期化処理が実行された後、図5に示す画像データ送信制御が開始され、先ずアイドル状態において、画像データ送信コマンドを受信したか否か（S10：No）、が繰り返して判定されている。そして、ホストコンピュータ10から画像データ送信コマンドを受信したときには（S10：Yes）、図示しない画像読取り制御により、読取りセンサ40から転送された1ライン分の画像データにヘッダー情報を加えた画像転送データを作成する作成処理が実行され、その画像転送データがRAM53の画像データメモリ53aに記憶される（S11）。

【0028】次に、その画像データメモリ53aに記憶された画像転送データのうち、先頭の1バイトのデータが読出されて、先ず第1送信バッファ54に書込まれる（S12）。次に、その第1送信バッファ54がバッファフル状態でないときに（S13：No）、その書込んだデータが1頁分の画像データの終了を指示するページエンドコードでないときに（S14：No）、更に画像データメモリ53aに送信すべき画像転送データが存在するときには（S15：Yes）、S12～S15が繰り返して実行される。

【0029】ところで、画像データメモリ53aの全ての画像データについて、第1送信バッファ54への書込みが完了したときには（S15：No）、次の1ライン分の画像転送データが作成される（S11）。そして、第1送信バッファ54に8バイト分の画像データが書込まれたときには（S13：Yes）、データ転送を司るDMAコントローラ56からのターミナルカウントによるDMA終了信号に基づいて、第2送信バッファ55から画像データの読出し、つまりデータ送信が完了しているか否かを

判断し (S16)、完了していないときには (S16: No)、その送信完了まで待機する。

【0030】そして、その送信が完了したときには (S16: Yes)、DMAコントローラ56のレジスタに、第1送信バッファ54に書込まれている送信すべき画像データの読出し先頭アドレスがセットされるとともに、データ送信が指令される (S17)。その結果、DMAコントローラ56により、第1送信バッファ54に書込まれた8バイト分の画像データは、ホストコンピュータ10から送信されるホストビジー信号H.Busyの立下がり及び立上がりのタイミング毎に、読出しポインタを1つつインクリメントすることで、この読出しポインタで指示する1バイト毎にホストコンピュータ10に順次送信される。一方、この送信処理と同時に、次のS18~S24により、他方の第2送信バッファ55への画像データの書込みが実行される。

【0031】即ち、第1送信バッファ54に書込まれた最後のデータの次の1バイトのデータが画像データメモリ53aから読出されて、第2送信バッファ55に書込まれる (S18)。次に、同様にして、その第2送信バッファ55がバッファフル状態でないときに (S19: No)、その書込んだデータがページエンドコードでないときに (S20: No)、更に画像データメモリ53aに送信すべき画像データが存在するときには (S21: Yes)、S18~S21が繰り返して実行される。ところで、画像データメモリ53aの全ての画像データについて、第2送信バッファ55への書込みが完了したときには (S21: No)、次の1ライン分の画像転送データが作成され (S22)、S18に戻る。

【0032】そして、第2送信バッファ55に8バイト分の画像データが書込まれて、第2送信バッファ55がバッファフル状態になったときには (S19: Yes)、DMAコントローラ56からのDMA終了信号に基づいて、第1送信バッファ54の画像データの送信が完了しているか否かを判断し (S23)、完了していないときには (S23: No)、その送信完了まで待機する。そして、送信が完了したときには (S23: Yes)、DMAコントローラ56のレジスタに、第2送信バッファ55に書込まれている送信すべき画像データの読出し先頭アドレスがセットされるとともに、データ送信が指令され (S24)、S12以降が繰り返して実行される。

【0033】その結果、DMAコントローラ56により、第2送信バッファ55に書込まれた8バイト分の画像データは、ホストコンピュータ10から送信されるホストビジー信号H.Busyの立下がり及び立上がりのタイミング毎に、読出しポインタを1つつインクリメントすることで、この読出しポインタで指示する1バイト毎にホストコンピュータ10に順次送信される。一方、この送信処理と同時に、前のS11~S15により、第1送信バッファ54への画像データの書込みが繰り返して実行

される。

【0034】次に、イメージスキャナ30で読取った原稿の画像データをホストコンピュータ30に送信する画像データ送信制御の作用について、即ち、第1送信バッファ54及び第2送信バッファ55への書込み処理と、DMAコントローラ56による読出し処理 (送信処理) との作用について、図7・図8に基づいて説明する。ここで、ホストコンピュータ10からのホストビジー信号H.Busyの立下がり及び立上がりが送信指令信号として認識されるのであり、イメージスキャナ30から出力されるプリンタクロック信号P.CLKは、画像データが送信されるタイミングで反転し、またプリンタビジー信号P.Busyは、ホストビジー信号H.Busyで表される送信指令信号を受けてから画像データの送信タイミングまでの期間だけ「H」レベルとなる。

【0035】先ず、両送信バッファ54、55に対する書込み処理よりも読出し処理 (送信処理) が遅い場合、図7に示すように、最初の「L」レベルに反転するホストビジー信号H.Busyの送信指令信号を受けたタイミングT0から、先ず最初に、第1送信バッファ54に8バイト分の画像データの書込み処理が実行され、書込み完了したタイミングT1から、第1送信バッファ54に書込まれた画像データの読出し処理が、DMAコントローラ56により実行されるとともに、第2送信バッファ55への8バイト分の画像データの書込み処理が実行される。

【0036】同様にして、読出し完了したタイミングT2から、第2送信バッファ55に書込まれた画像データの読出し処理が実行されるとともに、第1送信バッファ54への8バイト分の画像データの書込み処理が実行される。即ち、最初に、第1送信バッファ54に8バイト分の画像データを書込む書込み時間を要するが、その後においては、タイミングT1からタイミングT2まで、またタイミングT2からタイミングT3までの各期間は、8バイト分の画像データ送信時間であり、これら第1送信バッファ54と第2送信バッファ55からの読出し処理が連続して交互に実行されることになり、書込み処理時間が含まれないことから、データ送信速度を、読出し処理時間に応じて高速化することができる。

【0037】一方、両送信バッファ54、55に対する読出し処理よりも書込み処理が遅い場合、図8に示すように、「L」レベルに反転するホストビジー信号H.Busyの送信指令信号を受けたタイミングT5から、先ず最初に、第1送信バッファ54に8バイト分の画像データの書込み処理が実行され、書込み完了したタイミングT6から、第1送信バッファ54に書込まれた画像データの読出し処理が、DMAコントローラ56により実行されるとともに、第2送信バッファ55への8バイト分の画像データの書込み処理が実行される。

【0038】同様にして、書込み完了したタイミングT

7から、第2送信バッファ55に書込まれた画像データの読出し処理が実行されるとともに、第1送信バッファ54への8バイト分の画像データの書込み処理が実行される。即ち、最初に、第1送信バッファ54に8バイト分の画像データを書込む書込み時間を要するが、その後においては、タイミングT6からタイミングT7に至るまで、またタイミングT7からタイミングT8に至るまでの各期間は、8バイト分の画像データ送信時間であり、これら第1送信バッファ54と第2送信バッファ55への書込み処理が連続して交互に実行されることになり、読出し処理時間が含まれないことから、データ送信速度を、書込み処理時間に応じて高速化することができる。

【0039】このように、イメージスキャナ30に、8バイト分の等容量を有する1対の第1送信バッファ54及び第2送信バッファ55を設け、最初に、第1送信バッファ54に8バイト分の画像データを書込む書込み時間を要するが、その後においては、第1送信バッファ54からの画像データの読出し中には、画像データメモリ53aの画像データが第2送信バッファ55に書込まれ、第2送信バッファからの画像データの読出し中には、画像データメモリ53aの画像データが第1送信バッファ54に書込まれる。よってDMAコントローラ56により、第1送信バッファ54と第2送信バッファ55から交互に画像データが読出されるので、ホストビジイー信号H.Busyの立下がりのタイミングだけでなく、立上りのタイミングにおいても、ホストコンピュータ10に画像データを送信でき、画像データ転送速度を高速化することができる。

【0040】尚、イメージスキャナ30の制御装置50に設けた第1送信バッファ54と第2送信バッファ55とを、1バイト以上の等容量の1対のバッファで構成したり、イメージスキャナ30からの画像データを、ホストコンピュータ30からのホストビジイー信号H.Busyの立下がり又は立上りに応答して送信するように構成するなど、前記実施例に関し、既存の技術や当業者に自明の技術に基いて種々の変更を加えることもあり得る。

【0041】

【発明の効果】請求項1に係るパラレルデータ転送システムによれば、ホストコンピュータと電子機器とを備えたデータ転送システムにおいて、電子機器に、第1及び第2送信バッファと、書込み手段と、読出し送信手段とを設け、第1送信バッファからの読出し中に第2送信バッファに書込み、第2送信バッファからの読出し中に第1送信バッファに書込み、第1送信バッファと第2送信バッファから交互にデータを読出すので、最初、第1送信バッファ又は第2送信バッファの何れかにデータを書込む書込み時間を要するが、その後においては、その書込まれたデータを第1送信バッファと第2送信バッファとの何れか一方からの読出し中に、他方の第2送信バ

ファと第1送信バッファとの何れか一方にデータの書込みを実行することから、読出しが完了した第1送信バッファ又は第2送信バッファへのデータの書込み処理と、書込みが完了した他方の第2送信バッファ又は第1送信バッファからのデータ読出し処理とが同時に実行されることになり、その読出し処理を、例えばDMAコントローラなどを用いることにより、ハード的に処理可能となるので、制御プログラムを必要とせず、データ転送速度を高速化することができる。

10 【0042】請求項2に係るパラレルデータ転送システムによれば、請求項1と同様の効果を奏するが、前記電子機器は、原稿の画像を読取るイメージスキャナであり、前記送信指令信号として、ホストコンピュータから送信されるホストビジイー信号の立下がり及び立上りのタイミングを使用しているため、通常のセントロニクス通信方式により原稿の画像データをパラレルデータ通信する場合に、ホストビジイー信号の立下がりだけでなく、立上りのタイミングにおいてもホストコンピュータにデータ送信でき、画像データ転送速度をより高速化することができる。

20 【0043】請求項3に係るパラレルデータ転送システムによれば、請求項1又は請求項2と同様の効果を奏するが、前記第1送信バッファと第2送信バッファは、少なくとも1バイト以上の等容量の1対のバッファから構成されるので、これら第1送信バッファと第2送信バッファに対する1バイトデータの書込み処理時間と、読出し処理時間とが略等しいときには、第1送信バッファと第2送信バッファとに対するデータ書込み処理とデータ読出し処理とを交互に夫々連続して行うことができ、データ書込み時間を確実に解消することができる。また、1バイトデータの書込み処理時間が読出し処理時間よりも短いときにも同様に、データ書込み時間を確実に解消することができる。一方、1バイトデータの書込み処理時間が読出し処理時間よりも長いときには、書込み完了するまでの読出し待機時間だけ、読出し処理時間が延長されるだけである。

30 【0044】請求項4に係る電子機器によれば、データメモリと、第1及び第2送信バッファと、書込み手段と、読出し送信手段とを設け、第1送信バッファからの読出し中に第2送信バッファに書込み、第2送信バッファからの読出し中に第1送信バッファに書込み、第1送信バッファと第2送信バッファから交互にデータを読出すので、最初、第1送信バッファ又は第2送信バッファの何れかにデータを書込む書込み時間を要するが、その後においては、その書込まれたデータを第1送信バッファと第2送信バッファとの何れか一方からの読出し中に、他方の第2送信バッファと第1送信バッファとの何れか一方にデータの書込みを実行することから、読出しが完了した第1送信バッファ又は第2送信バッファへのデータの書込み処理と、書込みが完了した他方の第2送

信バッファ又は第1送信バッファからのデータ読出し処理とが同時に実行されることになり、その読出し処理を、例えばDMAコントローラなどを用いることにより、ハード的に処理可能となるので、制御プログラムを必要とせず、データ転送速度を高速化することができる。

【図面の簡単な説明】

【図1】本発明の実施例に係る、ホストコンピュータとイメージスキャナとからなる画像データ転送システムの構成図である。

【図2】本発明の実施例に係るイメージスキャナの斜視図である。

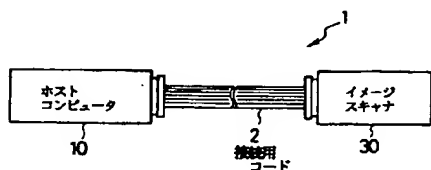
【図3】ホストコンピュータの制御系のブロック図である。

【図4】イメージスキャナの制御系のブロック図である。

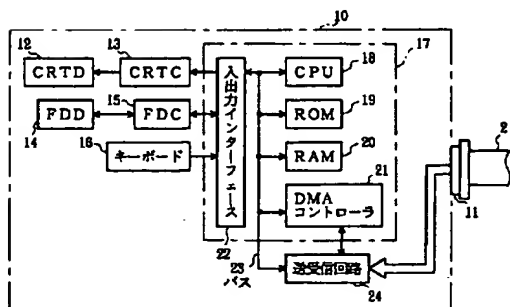
【図5】画像データ送信制御のルーチンの概略フローチャートの一部である。

【図6】画像データ送信制御のルーチンの概略フローチャ

【図1】



【図3】



ートの一部である。

【図7】書込み処理よりも読出し処理（送信処理）が遅い場合の各種信号のタイムチャートである。

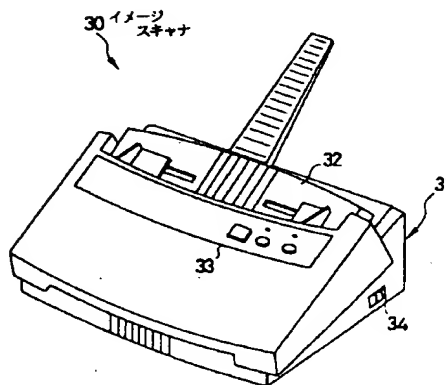
【図8】読出し処理よりも書込み処理が遅い場合の各種信号のタイムチャートである。

【図9】従来技術に係る制御信号及び送信データのタイムチャートである。

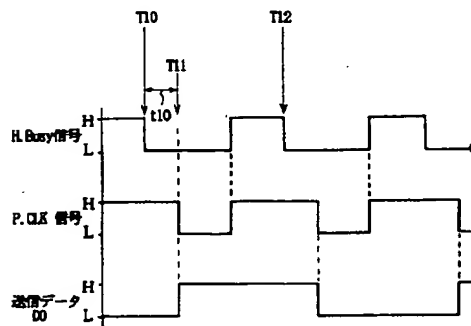
【符号の説明】

- | | |
|------|-------------|
| 1 | 画像データ転送システム |
| 10 | ホストコンピュータ |
| 30 | イメージスキャナ |
| 50 | 制御装置 |
| 51 | CPU |
| 52 | ROM |
| 53 | RAM |
| 53 a | 画像データメモリ |
| 54 | 第1送信バッファ |
| 55 | 第2送信バッファ |

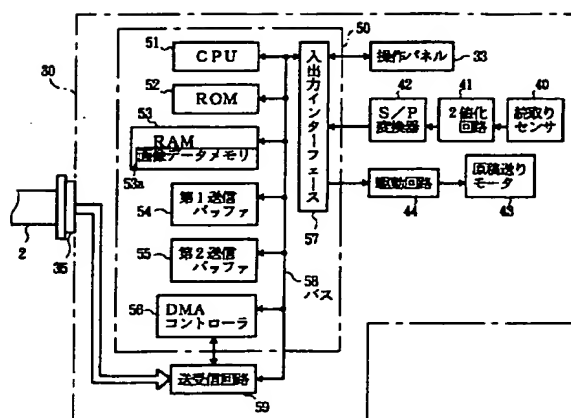
【図2】



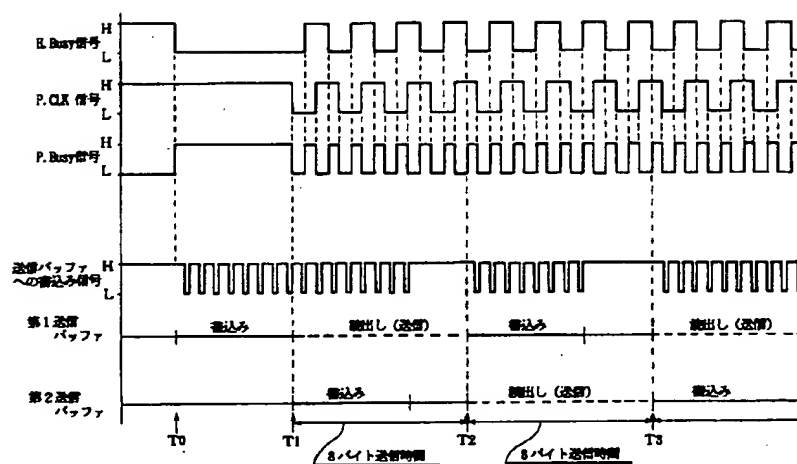
【図9】



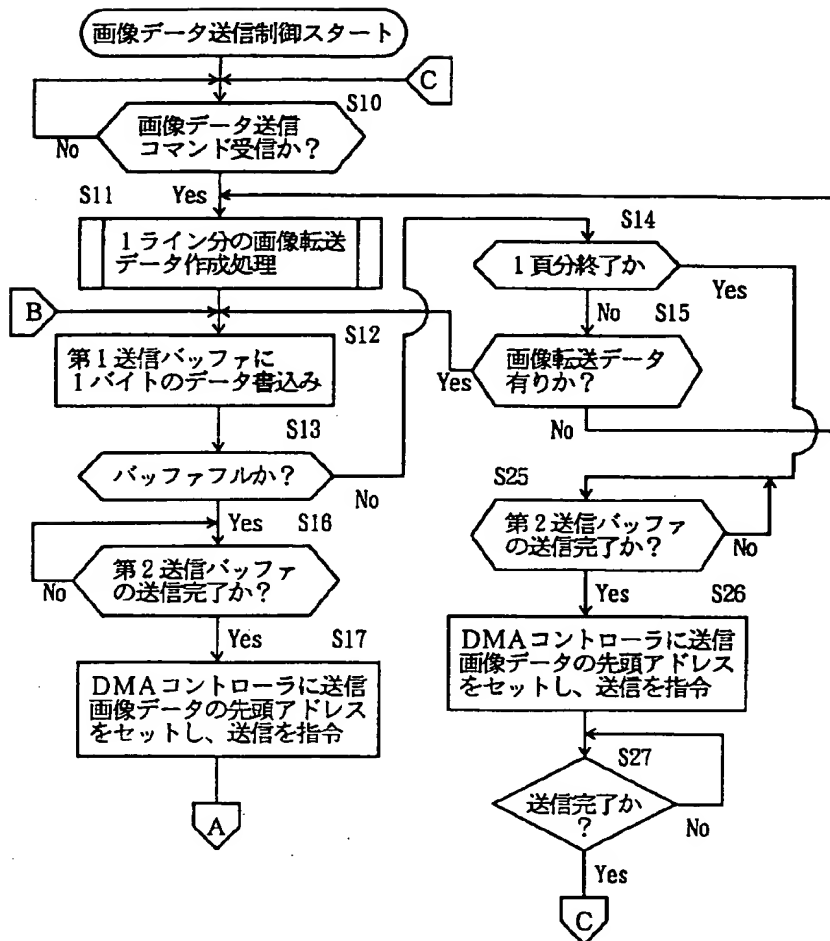
【図4】



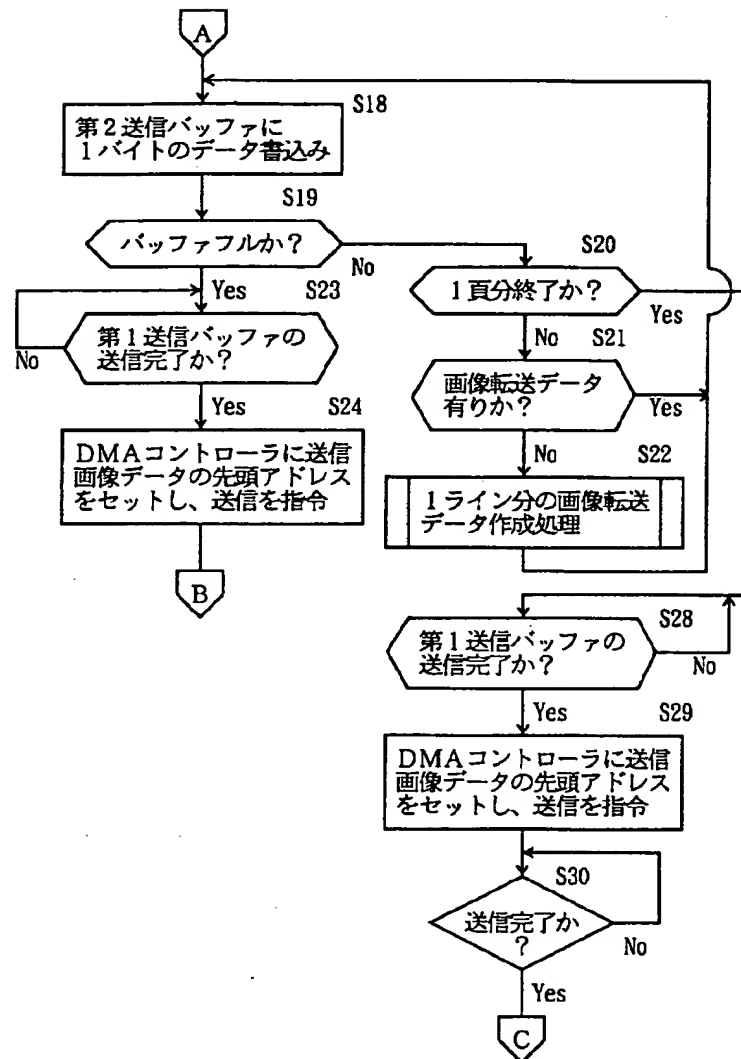
【図7】



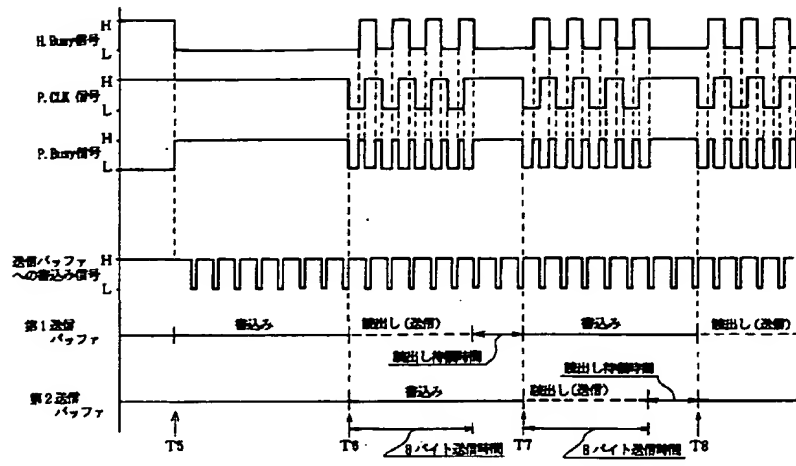
【図5】



【図6】



【図8】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.